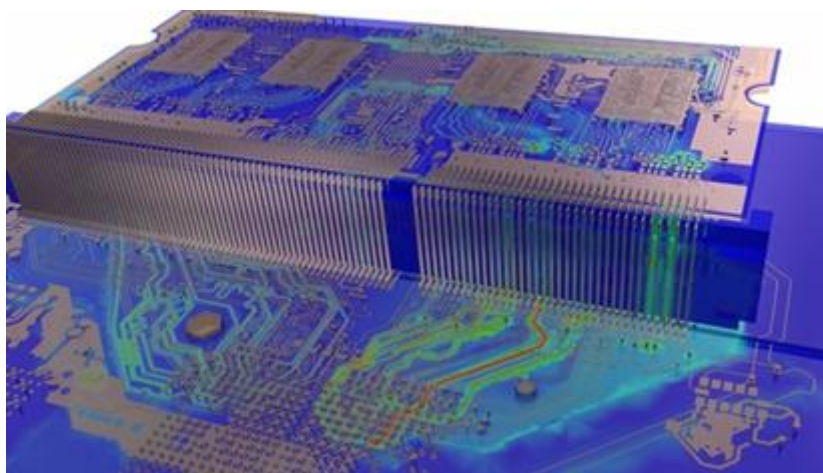


Ansys HFSS 多年来一直是全球公认的电磁分析黄金标准软件。随着芯片设计量日趋庞大、涉及日趋复杂，许多用户表示他们对 HFSS 的黄金标准精度感到非常满意，但希望能加快运行速度。令人欣慰的是，多年来 Ansys 已将众多功能融入 HFSS，显著缩短了总体仿真时间。



采用 HFSS 分析多层板的示例

从 1997 年交付的矩阵多核处理功能，到 2005 年的并行扫频，再到 2016 年的分布式内存矩阵求解器以及 2020 年的 GPU 加速，HFSS 在过去 20 多年里一直在不断提高仿真的速度和容量。除了改进算法和提高集群计算的利用率，Ansys 还简化了 HFSS 仿真设置的流程。从 Layout 导入模型自动定义了仿真的激励和边界区域。

通过自动求解设置，用户只需定义感兴趣的频率范围，然后可以用滑块来选择速度、平衡或精度。用户可以选择“速度”进行迭代和设计探索，或选择“精度”进行验证和验收。从这里开始，Auto HPC 负责以最佳方式使用总 CPU 核心数或总机器数，包括求解器的运行。此外，HFSS 还可自动将自适应解分布到所有节点上，然后利用相同的计算资源并行频率扫描。

但是，一些客户在使用 HFSS 求解问题的时遇到了困难。例如，一位设计 112 Gbps SERDES SoC 封装的用户一直在缩减设计，以求解四分之一的封装。他们多年来习惯对电磁求解采用切割的方法，以此提高效率，但是现在这其实已没有必要。利用更新后的 HFSS 求解器，他们尝试为同样的切割结构建模，发现 HFSS 2020 版本仅利用四分之一的核心数，就能将求解问题的时间减半。在求解时间缩短到仅一个多小时后，他们决定在 HFSS 中为整个封装建模。令他们惊讶的是，求解具有 184 个端口、最高频率达 50GHz 的完整封装，只用了 18 个小时。

硅谷一家专业从事高速网络和通信业务的定制 ASIC 公司的封装设计主管称：“我们从未预料到在 HFSS 中能够签核这样一个大型封装设计。我们曾经尝试过在另一款近期发布的 FEM 求解器中求解这个大型结构，但一直没能完成分析。”

多年来，Ansys HFSS 的不断更新，正在从规模和仿真时间两个方面重新定义全波电磁签核在当今芯片、封装和 PCB 设计挑战中的可能性。

关于 Ansys CPS 解决方案

Ansys CPS (Chip+Package+System) 多物理场仿真方案，包含了 Redhawk/HFSS 等业界黄金工具，基于 CPM/CSM/CTM 等独有的芯片模型，通过协同仿真考察芯片与 PKG/PCB 之间的耦合影响，通过电、热、结构之间的多物理场耦合仿真使得仿真精度更高，帮助设计者优化从芯片至系统的 SIPI/热/结构可靠性等设计指标，此流程已经支持多家客户在先进工艺节点和大规模的 2.5D/3D IC 设计上成功流片。